

УДК. 681.325.6

д-р техн. наук, професор Хорошко В. О. ORCID: 0000-0001-6213-7086 (ВІТІ ім. Героїв Крут)
канд. техн. наук Клімович С. О. ORCID: 0000-0001-7209-2176 (ВІТІ ім. Героїв Крут)
канд. техн. наук, доцент Янковський О. Г. ORCID: 0000-0001-8041-1843 (ВІТІ ім. Героїв Крут)

КОНТРОЛЬ ТА ДІАГНОСТУВАННЯ ПОСЛІДОВНИХ ЦИФРОВИХ СТРУКТУР

У сучасному світі цифрової електроніки послідовні цифрові структури належать до компонентів багатьох електронних систем і пристроїв. Такі системи (пристрої) широко використовують в різних галузях творчості та життєдіяльності людини, включаючи комунікаційні системи, автоматичні та автоматизовані пристрої. Завдання, пов'язані з контролем та діагностикою таких систем, супроводжуються певними труднощами. Дослідження в цьому напрямку має особливе значення для забезпечення стійкості та надійності цифрових систем у сучасних технологічних умовах. У цьому контексті вивчення особливостей діагностування, послідовних цифрових структур набуває особливого значення. Під діагностуванням розуміємо послідовне розв'язання задач визначення технічного стану, локалізацію несправності (з точністю до окремого радіоелектронного компонента) та прогнозування технічного стану на певний проміжок часу. Визначення окремого радіоелектронного компонента в складі цифрової системи означає визначення конкретної мікросхеми, функціонування якої не відповідає технічним умовам (оскільки мікросхема, незважаючи на складність та багатофункціональність, є мінімальним компонентом, що підлягає заміні). Контроль технічного стану особливо важливий у системах, яка містить велику кількість взаємодіючих між собою послідовних цифрових елементів.

Однією з ключових проблем під час розробки методів контролю послідовних цифрових структур є їхня чисельна розмірність та велика кількість логічних елементів, кожен з яких може бути джерелом помилки при виконанні простих логічних операцій. Тому інженерам доводиться розробляти нові ефективні методи та алгоритми виявлення помилок у таких системах.

Ключові слова: послідовні цифрові структури, великі інтегральні схеми, діагностика технічного стану, радіоелектронні компоненти.

V. Khoroshko, S. Klimovych, O. Yankovskiy Control and diagnostics of sequential digital structures.

In the modern world of digital electronics, sequential digital structures are integral components of many electronic systems and devices. Such systems and devices find extensive applications across various domains of human endeavor, including communication systems, automatic, and automated devices. The tasks associated with monitoring and diagnosing these systems come with certain challenges. Research in this field holds particular significance for ensuring the resilience and reliability of digital systems in contemporary technological environments. In this context, the study of the characteristics of diagnosing sequential digital structures assumes a special importance. Diagnosing, in this context, refers to the systematic solving of problems related to determining the technical condition, localizing malfunctions (down to individual radio-electronic components), and forecasting the technical state over a specific period. Identifying individual Radio-Electronic Components (RECs) within a digital system means pinpointing a specific microchip whose functioning does not meet the technical specifications. This is crucial, as microchips, despite their complexity and multifunctionality, constitute minimal replaceable units. Monitoring the technical condition is especially crucial in systems containing a large number of interacting sequential digital elements.

One of the key challenges in developing methods for monitoring sequential digital structures is their sheer numerical size and the presence of a multitude of logical elements, each of which can be a potential source of error when performing basic logical operations. Hence, engineers have to devise novel, efficient methods and algorithms for error detection in such systems.

Keywords: sequential digital structures, large-scale integrated circuits, technical state diagnostics, Radio-Electronic Components.

Постановка завдання в загальному вигляді. На сьогодні спостерігається розширення галузей застосування засобів обчислювальної техніки. Кожні півтора – два роки відбувається зміна поколінь апаратних та програмних засобів, що пов'язано з вдосконаленням елементної бази. Понад півстоліття підтверджується закон, сформульований у 1964 році американським вченим і підприємцем, одним із засновників корпорації мікроелектроніки INTEL Гордоном Муром: кількість транзисторів, що розміщується на кристалі інтегральної схеми, подвоюється кожні 24 місяці. Враховуючи складність аналізу схем із високим ступенем інтеграції на рівні

логічних елементів і використовуючи закінченість функціональних структур в одному пристрої, необхідно розглянути алгоритми контролю функціонування (діагностування на рівні функціональних закінчених вузлів) великих інтегральних схем і цифрових пристроїв на підставі наступних припущень:

- аналіз схем, опису і перетворення їхніх структур потрібно здійснювати на рівні функціональних вузлів;
- тестові послідовності будувати на рівні завдання початкових тестових наборів для різноманітних пристроїв і визначення черговості їх генерування;
- роздільні точки шукати у процесі аналізу схеми і побудові маршрутів для проведення контрольних процедур.

При цьому слід враховувати, що системний контроль технічного стану послідовних цифрових структур і діагностика їх пов'язана зі значними матеріальними та часовими затратами. Одним зі шляхів підвищення ефективності контролю та діагностування є застосування сучасних методів та способів із використанням ЕОМ, що забезпечать швидкість в отриманні результатів про стан контрольованого об'єкта та відкине суб'єктивне тлумачення отриманих даних людиною, яка здійснює ці операції.

Технічний стан послідовних цифрових структур визначається станом її окремих елементів (тобто мікросхем), параметри яких неможливо контролювати безпосередньо.

На практиці зручно та простіше визначати лише певну кількість вихідних параметрів об'єкта контролю, які утримують у собі інформацію відносно поточного стану параметрів внутрішніх елементів об'єкта. Але таке рішення не задовольняє вимоги до функціонування технічних засобів, у складі яких використовуються послідовні цифрові структури.

Тому актуальним науковим завданням є контроль та діагностування складних цифрових схем зі зворотними зв'язками.

Аналіз публікацій за темою дослідження. Проведений аналіз показав, що у роботах [1–8] наведено методи, способи та принципи контролю і діагностування різних радіоелектронних систем, у тому числі з послідовними цифровими структурами.

Крім того, слід враховувати, що важливою і достатньою умовою перевірки електричних зв'язків у мікросхемі є [5]:

- доступність функціональних елементів крізь первинні входи;
- можливість транспортування несправностей до первинних виходів.

При цьому об'єкт контролю (мікросхема), як правило, лише частково відповідає згаданим у [5] умовам.

Враховуючи складність вибору контрольних точок і неможливість забезпечити доступ до них (неможливість створення додаткових контрольних виходів), доцільно розробити варіант аналізу схеми з врахуванням існуючих обмежень. Це особливо важливо у процесі контролю та діагностування схем із високим ступенем інтеграції елементів і наявності великої кількості зворотних зв'язків, що характерно для великих інтегральних схем (далі – ВІС).

Також слід враховувати, що методи та способи, які описано в літературі [9–11], не дають можливості швидко отримати результати контролю функціонального стану об'єкта та визначити елемент, який відмовив або може відмовити. При цьому, отримані результати ще слід додатково опрацювати. На відміну від них застосування теорії графів дозволяє вирішувати задачу оцінки функціонального стану об'єкта контролю у реальному часі та швидко визначати місце та елемент, який відмовив. Крім того, не потрібно застосовувати додаткових обчислень та обробку отриманої інформації.

Метою статті є застосування широко відомої теорії графів для контролю та діагностування технічного стану складної цифрової схеми зі зворотними зв'язками.

Виклад основного матеріалу. Враховуючи з одного боку складність аналізу схем підвищеного ступеня інтеграції на рівні логічних елементів І–НЕ, І–АБО–НЕ й т. ін. і

використовуючи закінченість функціональних структур у одному пристрої, доцільно перейти до розробки способу контролю функціонування (і діагностики на рівні функціонально закінчених вузлів) ВІС та складних цифрових пристроїв на їх основі з наступних позицій [6]:

- аналіз схем, опис і перебудову структур здійснювати на рівні функціональних вузлів типу регістрів, шифраторів, лічильників й т. ін.;
- тестові послідовності будувати на рівні завдання початкових тестових наборів щодо різних пристроїв та визначення послідовності їх генерації;
- точки розподілення шукати у процесі аналізу схеми та побудови маршрутів для проведення контрольних процедур.

Розглянемо довільну структуру з'єднання функціональних модулів, котра містить низку входів, виходів, ряд функціональних модулів послідовного типу із замкненими зворотними зв'язками (рис. 1).

Позначимо такі модулі підмножинами елементів $A_1, A_2, A_3, \dots, A_n$, які входять до складу множини елементів A , що визначають кількість ВІС.

Підмножина елементів модулів $A_i \in a_1^i, a_2^i, \dots, a_k^i$ може бути описана на рівні логічних елементів типу І-НЕ, АБО-НЕ, АБО й т. ін.

Опис схеми, яка досліджується, виконано набором (1):

$$G = \{X, Y, A, \bar{U}, \delta(\lambda)\} \quad (1)$$

де X і Y – первинні входи і виходи відповідно;

A – множина функціональних елементів;

\bar{U} – дуги, що з'єднують елементи між собою із первинними входами (виходами), $x_i(y_i)$;

$\delta(\lambda)$ – неявно задіяні функції переходів виходів.

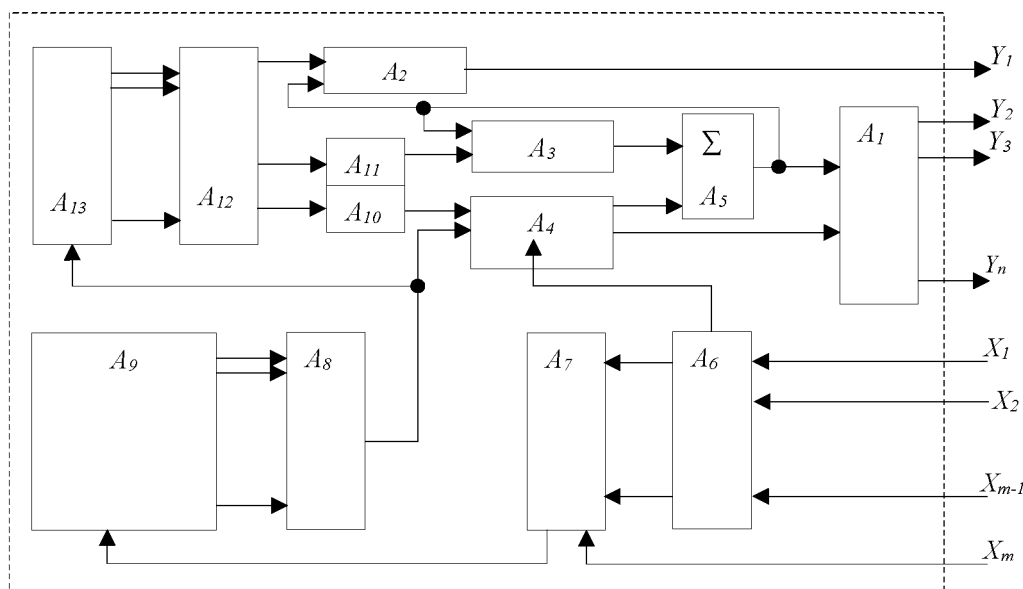


Рис. 1. Структура з'єднання функціональних модулів

Для аналізу схеми (рис. 1) з метою визначення її контролездатності використаємо ту частину її опису (2), яка відповідає значенню графу (рис. 2):

$$G = \{X, Y, A, \bar{U}\} \quad (2)$$

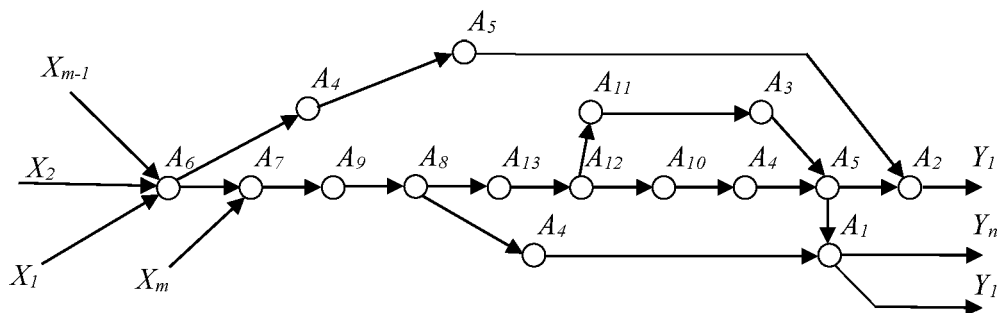


Рис. 2. Граф взаємодії функціональних модулів послідовного типу

Умовно розіб'ємо множину G на підгрупи G_1, G_2, \dots, G_j відповідно до кількості первинних виходів $Y \in Y_1, Y_2, \dots, Y_j$, тоді кожний підряд G_j буде визначатися підмножиною елементів $A_j \in a_1, a_2, a_3, \dots, a_m$, які лежать на шляхах від x_j до Y_j .

Побудова графів відбувається, виходячи з наступних основних положень [7]:

- граф є орієнтованим (дає можливість і підстави виконувати обхід графу, рухатися вздовж шляху від первинного виходу до входу або навпаки);
- всі маршрути, що з'єднують первинні входи і виходи, повинні бути незамкнутими, $i = 0$ (дозволяє виділяти маршрути, для яких $L \geq 1$, тобто маршрути, які містять елементи зворотних зв'язків, багатовимірні маршрути).

Вибір елементів зворотних зв'язків відбувається аналізом на повторюваність елементів у маршруті, для цього достатньо провести операції логічного множення кожного елементу $\oplus^i a_i a_{i-1} \neq 1$.

Процес побудови підграфів по етапах можна визначити наступним порядком. Побудова первинного маршруту $\bar{U}_1 \in \bar{U}_{x_1}, \bar{U}_{x_2}, \dots, \bar{U}_{a_i}$ у вигляді підмножини елементів $A_{x_i} \in a_1, a_2, \dots, a_k$ видаленням їх із масиву опису графу G . Видалення відбувається зсувом вліво того рядка, на якому знаходиться елемент, який належить маршруту \bar{U}_{x_j} .

Побудова спряжених гілок, які утворилися завдяки відгалуженню, відбувається перевіркою наявності інцидентних елементів у рядках масиву, що описують елементи, із яких побудований маршрут A_{x_i} .

Якщо у k -му рядку відгалужень немає, перевіряється $k-1$ рядок і так далі.

При наявності відгалужень у k -му рядку будується спряжена гілка.

За початкову ділянку маршруту приймається $A_{x_i} \in a_1, a_2, a_3, \dots, a_{k-c}$ і до нього додаються інцидентні елементи a_{k-c}, \dots, x_{i+m} .

Так отримуємо маршрут (3):

$$A_{x+m} \in a_1, a_2, a_3, \dots, a_{k+1}, \dots, a_{k+m}, \dots, x_{i+m}. \quad (3)$$

Виконуючи послідовно операцію $\oplus^i a_i a_{i-1} \neq 1$ з виразом (3) при побудові відгалуження, потрібно додатково виконати її для елементів:

$$\begin{aligned} & a_{k+1}, a_{k+2}, \dots, a_{k+m}, \\ & \oplus^c a_{k+m} a_{k-c} \neq 1, \end{aligned} \quad (4)$$

де $c = 0, 1, 2, \dots$

У випадку знаходження однакових елементів:

при обрахунках у виразі (3) отримуємо елементи зворотного зв'язку (далі – ЗЗ);

при обрахунках у виразі (4) – елементи багатомірних маршрутів (далі – БМ).

Ділянки маршрутів, які утворюють ЗЗ і БМ, використовуються як роздільні точки для перетворення підграфу у деревовидну структуру. Для такого перетворення необхідно ввести додаткову вагу показників, котра використовується як установча або блокуюча. Визначивши за функціями переходів (виходів), через Булеві похідні, шукані значення установчих (блокуючих) входів, здійснюється перетворення тих маршрутів, що підлягають перевіркам у гілках дерева.

Побудова тестів для перетворення маршрутів здійснюється на підставі аналізу структури кожної гілки окремо.

Якщо обмежити клас схем, які розглядаються, схемами з двійковою логікою, тоді побудова тестів для кожної гілки може бути зведена до визначення допустимої кількості станів кожної гілки і умов, які забезпечують проходження сигналів по ній.

Для прикладу, візьмемо із представленої на рис. 1 структури, з кожного функціонального модуля по одному з елементів і побудуємо маршрут, який містить:

$$y_j, a_i^1, a_i^2, a_i^3, a_i^4, a_i^6 \in G_j,$$

$$a_i^1 \in A_1; a_i^2 \in A_2; \dots; a_i^6 \in A_6.$$

Допустима кількість станів маршруту визначається виразом:

$$[S_i] = [S_i^1] [S_i^2] \dots [S_i^6].$$

Роздільні точки для маршруту G_i із аналізу структури схеми знаходяться у модулях $A_3, A_6, A_8, A_{10}, A_{11}$. Вважаючи, що пристрій генерує стійкі рівні, визначимо потрібний стан в вузлових точках $U_i = dA_i / dU_p$.

Завжди доцільно генерувати установчі набори одного рівня, а в точках поділу перетворювати їх до виду, який потрібний для перевірки за допомогою функціональних елементів типу І, АБО-НЕ, тоді достатньо буде вказувати номери стимулюючих роздільних точок.

Забезпечивши перетворення послідовної структури у деревоподібну, необхідно визначити умови перевірки відповідно до структури відгалужень основної гілки.

Для перевірки функціонування на маршруті G_i , який не має установчих входів, необхідно здійснити $n \in 2S$ експериментів при заданих станах відгалужень. Така кількість експериментів необхідна на першому етапі для визначення початкового стану маршруту G_j , при зміні початкового стану $y_j^{0(i)} \rightarrow \overline{y_j^{1(o)}}$, та на другому етапі для визначення правильної роботи маршруту, тобто перехід зі стану $\overline{y_j^{1(o)}} \rightarrow y_j^{0(i)}$.

Допустима кількість станів відгалужень може збільшувати кількість потрібних контрольних елементів, якщо зміна станів модуля (елемента) S_i^j визначається переходом відгалужень через S_i^j станів. Тоді загальна кількість потрібних елементів для перевірок G_i становить:

$$n^1 \leq 2S_1 S_1^1,$$

а для перевірки підграфу складає:

$$N = \sum_{i=1}^{i=k} n^i,$$

де $i=1, 2, 3, \dots, k$ – кількість поділів підграфа.

Практичний інтерес представляє кількість необхідних роздільних точок і генератор для створення відповідних сигналів (умови, при яких він повинен працювати і відключатися).

Нехай ОК містить $Y \in y_1, y_2, \dots, y_n$ первинних виходів, $X \in x_1, x_2, \dots, x_n$ первинних входів і описується множиною A функціональних елементів. Тоді кожен вихід y_j може бути з'єднаний з X входами та m маршрутами, тоді всього може бути $N \leq mn$ маршрутів. Однак, якщо можливих коренів дерев може бути $G \leq n$, то m первинних входів не завжди визначають істинне число можливих розгалужень і багатомірних маршрутів.

Якщо припустити, що число розгалужень $U \leq z^m$, тоді кількість можливих маршрутів відповідно збільшується до $\overline{N}_U \leq Z^m n$. Немає необхідності змінювати роздільні точки всіх маршрутів, так як вони не можуть бути виключені одночасно, тому слід скористатися почерговою роботою визначеної структури.

З іншого боку, припущення, що ОК складається із ряду пристроїв, які описуються підмножинами $A_i \in a_1, a_2, a_3, \dots, a_j$, що являють собою регулярні структури, значно спрощує аналіз пристроїв. Практично в цьому випадку необхідно передбачити роздільні точки в управляючій ланці кожного пристрою. Кількість роздільних точок:

$$N_p \approx A/n$$

Кількість можливих вузлів, які сходяться, визначається виразом:

$$N_C \leq C_n^k,$$

де k – кількість елементів, що сходяться у одній вершині.

Висновки

Застосування теорії графів дозволяє швидко та точно визначати технічний стан об'єкта контролю (функціональних модулів послідовного типу). Також вона дає можливість знайти елемент, який відмовив, враховуючи існуючу кількість входів та виходів елемента. Цей спосіб дозволяє уникнути тих недоліків, які присутні в інших способах контролю та діагностування складних цифрових схем зі зворотними зв'язками [4].

Слід зазначити, що при побудові схеми дуже рідко виникає ситуація, коли необхідна вся сукупність вузлів, що сходяться (розходяться), тому $N_C \ll C_n^k$.

У цих випадках, коли така структура є, доцільно здійснювати перевірку на рівні функціональних вузлів цього типу.

Отже, результати, отримані в роботі, можуть знайти застосування під час побудови систем оцінки технічного стану складних цифрових схем та пристроїв з функціональними модулями послідовного типу.

Подальші дослідження слід проводити у напрямку створення ефективних тестових послідовностей, які нададуть змогу достатньо швидко та точно визначати функціональний стан ОК з функціональними модулями послідовного типу.

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Основи технічної діагностики / За ред. П. П. Пархоменка. Луганськ: Вид. «Ноулідж», 2012. 480 с.
2. Чжан Г. Діагностика відмов цифрових обчислювальних систем / Г. Чжан, Е. Маннинг, Г. Метц. Харків: ООО «Компанія ОМІТ», 2006. 292 с.
3. Доценко Б. И. Определение эффективности проверки технического состояния систем. Техника воздушного флота. Харьков: Изд. Харьковского авиационного института, 1991. С. 23–29.
4. Кузавков В., Хорошко В., Янковський О. Технічна діагностика складних технічних об'єктів // Захист інформації. 2022. Т. 24, № 3. С. 115–120.
5. Кузавков В., Хорошко В., Янковський О., Болотюк Ю. Вимоги до засобів діагностування обчислювальних систем // Безпека інформації. 2022. Т. 28, № 3. С. 127–132.
6. Ярмолик В. Н. Контроль и диагностика цифровых узлов ЭВМ. Вильнюс: Наука и техника, 1992. 240 с.
7. Цой С. Прикладна теорія графа. Алма-Ата: Наука, 2001. 500 с.
8. Стрельников В. П. Оценка и прогнозирование надёжности электронных элементов и узлов / В. П. Стрельников, А. П. Федухин. К: Лотос, 2002. 486 с.
9. Настенко Є. А., Павлов В. А., Городецька О. К., Корнієнко Г. А. Методи моделювання складних систем і процесів / О. Г. Івахненко. К.: КПІ ім. Ігоря Сікорського, 2022. 144 с.
10. Wu Chi-Feng. Fault simulation and test algorithm generation for random access memories / Chi-Feng Wu, Chih-Tsun Huang, Kuo Liang Cheng, Cheng-Wen Wu // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2002. Vol. 21. Issue: 4. P. 480–490.
11. Li Jin-Fu. March-based RAM diagnosis algorithms for stuck-at and coupling faults / Jin-Fu Li, Kuo-Liang Cheng, Chih-Tsun Huang, Cheng-Wen Wu // IEEE Trans. on Fuzzy Systems. 2002. Vol. 10, Issue 2. P. 155–170.