

УДК 62-23

канд. техн. наук, доцент Корольов А. П. ORCID: 0000-0001-6281-063X (ВІТІ ім. Героїв Крут)

канд. техн. наук Мацаєнко А. М. ORCID: 0000-0003-1149-7318 (ВІТІ ім. Героїв Крут)

Роскошний Д. В. ORCID: 0000-0002-4432-6630 (ІТС НТУУ «КПІ ім. Ігоря Сікорського»)

ОСОБЛИВОСТІ РОЗРАХУНКУ ЧАСУ ОБЧИСЛЕНЬ ПІД ЧАС ПРОЄКТУВАННЯ ЦИФРОВИХ ФІЛЬТРІВ НА МІКРОКОНТРОЛЕРАХ

Стаття присвячена створенню методики оцінки частотного діапазону сигналів під час проєктування цифрового фільтра шляхом вимірювання часу калькуляції поточного відліку в системі цифрового фільтра нижніх частот із кінцевою імпульсною характеристикою на мікроконтролері STM32F103C8T6.

Розроблено установку для дослідження фільтра, яка включає в себе: генератор синусоїдальних сигналів; вхідне коло для забезпечення подачі додатних значень на вхід АЦП; модуль самого мікроконтролера STM32F103C8T6, який обробляє вхідний сигнал у реальному часі та реалізує функцію фільтрації.

Таймер мікроконтролера налаштований на генерацію переривань для вибірки вхідного сигналу з частотою дискретизації 35,15 кГц. Створено програмний код для забезпечення мінімального часу перетворення у процесі фільтрації.

Виконано програмну реалізацію кінцевої імпульсної характеристики фільтра нижніх частот із частотою зрізу 800 Гц. Забезпечено реалізацію даного фільтра порядком від одиниць до сотень. Проаналізовано амплітудно-частотні характеристики фільтрів низького та високого порядків. Розроблено методику визначення періоду виконання мікроконтролером обчислення згортки, яка є основою процесу фільтрації. Розроблено код налаштування таймера для вимірювання часу та виводу результату на дисплей у режимі реального часу.

Обрано найпростіший алгоритм обчислення згортки і реалізовано мовою програмування C++. Отримано результати вимірювань часу калькуляції згортки мікроконтролером STM32F103C8T6 залежно від різних порядків цифрового фільтра. Результати можуть бути використані для визначення необхідного періоду (частоти) дискретизації сигналу. Відповідно, вони дозволяють оцінити максимальний частотний діапазон сигналу, який може бути оброблений у режимі реального часу цифровим фільтром обраного порядку.

Ключові слова: цифрові фільтри, STM мікроконтролер, операція згортки, час розрахунку, час процесора, режим реального часу, діапазон частот.

A. Korolov, A. Matsayenko, D. Roskoshniy. Features of calculating computing time when designing digital filters on STM32F103 microcontrollers from STMicroelectronics Corporation

The article is devoted to the creation of a method for estimating the frequency range of signals when designing a digital filter (DF) by measuring the calculation time of the current reference in the system of a digital low-pass filter (LPF) with a finite impulse response (FIR) on the STM32F103C8T6 microcontroller.

A setup for studying the filter has been developed, which includes: a generator of sinusoidal signals; an input circuit to ensure the supply of positive values to the ADC input; the STM32F103C8T6 microcontroller module itself, which processes the input signal in real time and implements the filtering function.

The microcontroller timer is configured to generate interrupts for sampling the input signal with a sampling frequency of 35.15 kHz. A program code has been created to ensure the minimum conversion time during the filtering process.

A software implementation of the FIR low-pass filter with a cutoff frequency of 800 Hz has been performed. The implementation of a filter with an order from units to hundreds is provided. The amplitude-frequency characteristics (AFC) of low- and high-order filters have been analyzed. A method has been developed for determining the period of execution of the convolution calculation by the microcontroller, which is the basis of the filtering process. A timer setting code has been developed for measuring time and displaying the result on the display in real time.

The simplest convolution calculation algorithm has been selected and implemented in the C++ programming language. The results of measurements of the convolution calculation time by the STM32F103C8T6 microcontroller have been obtained depending on different orders of the digital filter. The results can be used to determine the required period (frequency) of signal sampling. Accordingly, they allow us to estimate the maximum frequency range of the signal that can be processed in real time by a digital filter of the selected order.

Keywords: digital filters, STM microcontroller, convolution operation, calculation time, processor time timing, real-time mode, frequency range.

Постановка задачі в загальному вигляді. Цифрова обробка сигналів (ЦОС) є критично важливою технологією в сучасній електроніці, яка дозволяє аналізувати сигнали та використовувати отриману інформацію в різноманітних сферах застосування, таких як обробка аудіо, фото і відео, телекомунікації, медична діагностика, системи управління [1, 2]. Цифрова фільтрація (ЦФ) є одним з основних напрямів ЦОС. ЦФ є важливим компонентом в обробці цифрових сигналів, призначенням яких є виділення корисного сигналу та придушення небажаних складових із його спектра [3].

На сьогодні способи реалізації ЦФ є доволі різноманітними. Мікроконтролери (МК) – одне з апаратних рішень для реалізації ЦФ, які стали популярним вибором для виконання завдань ЦОС у вбудованих системах завдяки своїй доступності, універсальності та енергоефективності. Однією з проблем такої реалізації є забезпечення обробки сигналу у режимі реального часу, що означає завершення обробки поточного відліку сигналу протягом періоду дискретизації до надходження наступного відліку [3].

Відомо, що обчислювальна ефективність фільтра, тобто швидкість обробки дискретних вибірок сигналу, напряму залежить від кількості операцій множення з накопиченням. Вони є основою згортки сигналу з імпульсною характеристикою фільтра. Чим більше порядок ЦФ, тим більшою буде кількість операцій і відповідно часовий інтервал, необхідний для виконання операції згортки. При збільшенні частоти сигналу, що підлягає фільтрації, необхідно збільшувати частоту дискретизації, що зменшує часовий інтервал для обробки відліку сигналу. Тому під час практичної реалізації ЦФ необхідно правильно розраховувати період виконання мікроконтролером операції згортки.

У статті розглянуто особливості розрахунку таймінгу процесорного часу цифрового фільтра на прикладі фільтра низьких частот (ФНЧ) на мікроконтролері *STM32F103C8T6 (Cortex-M3)*. Увагу приділено дослідженню періоду виконання мікроконтролером обчислень згортки, що лежать в основі процесу фільтрації. В якості зразка було використано ФНЧ із кінцевою імпульсною характеристикою (КІХ) (*Low Pass FIR-filtering*) зі смугою пропускання 0...800 Гц. Досліджувались варіанти реалізації такого фільтра різного порядку – від одиниць до сотень.

Аналіз публікацій за темою дослідження. Дана проблема є актуальною з погляду необхідності побудови ефективного пристрою ЦФ під час роботи з різними за частотою сигналами. Цій проблемі присвячено низку робіт.

У роботі [4] досліджено, яким є вплив рівня оптимізації коду відповідного середовища розробки (*STM32Cube IDE*) на час виконання операції фільтрації. Наведено таблиці з отриманими часовими інтервалами та зроблено висновок, який рівень оптимізації дає вигоду у часі. Але при цьому не взято до уваги вплив порядку фільтра. А саме порядок визначає вигляд *амплітудно-частотної характеристики (АЧХ)* фільтра.

У роботі [5] приділено увагу дослідженню впливу різних алгоритмів обчислення згортки на швидкість обчислень у мікроконтролерах на ядрах *ARM Cortex-M4* і *Cortex-M7*. Авторами визначено прискорення роботи мікроядер і представлено графіки залежності для трьох різних обраних мікроконтролерів. Але не вказано на залежність обчислень від кількості відліків при обчисленні згортки.

Публікація [6] знайомить із результатами дослідження тестових програм для мікроконтролерів на ядрах *ARM Cortex-M4* і *Cortex-M0+*. Тестові програми дозволяють вимірювати затримку критичних у часі операцій. Це дозволить оцінити обчислювальні можливості того чи іншого мікроконтролера, але не відображено конкретну порівняльну таблицю для обчислень, зокрема згортки сигналів.

У дослідженні [7] представлено та проаналізовано декілька структур побудови КІХ-фільтрів з метою оптимізації часу і складності обчислювальних процесів. Але автори

не представили залежність впливу кількості коефіцієнтів імпульсної характеристики на час обчислення і виведення кожного поточного відліку.

Дослідження чинників, які впливають на часові параметри під час проєктування і реалізації цифрових фільтрів, як бачимо, є актуальною задачею. В рамках даного дослідження вирішено зосередитись на вимірюванні часу такої математичної операції, як згортка, що виконується мікроконтролером сучасної корпорації *STMicroelectronics*. Вибір мікроконтролера *STM32F103C8T6* обумовлений його кращими характеристиками за співвідношенням параметрів ціна/можливості/продуктивність.

Метою статті є створення методики оцінки частотного діапазону сигналів під час проєктування цифрового фільтра шляхом вимірювання часу калькуляції поточного відліку в системі цифрового КІХ-фільтра нижніх частот на мікроконтролері *STM32F103C8T6*.

Виклад основного матеріалу. В якості зразка на мікроконтролері *STM32F103C8T6* (*Cortex-M3*) було створено цифровий КІХ-фільтр нижніх частот та установка для його дослідження. Структурна схема установки представлена на рисунку 1.

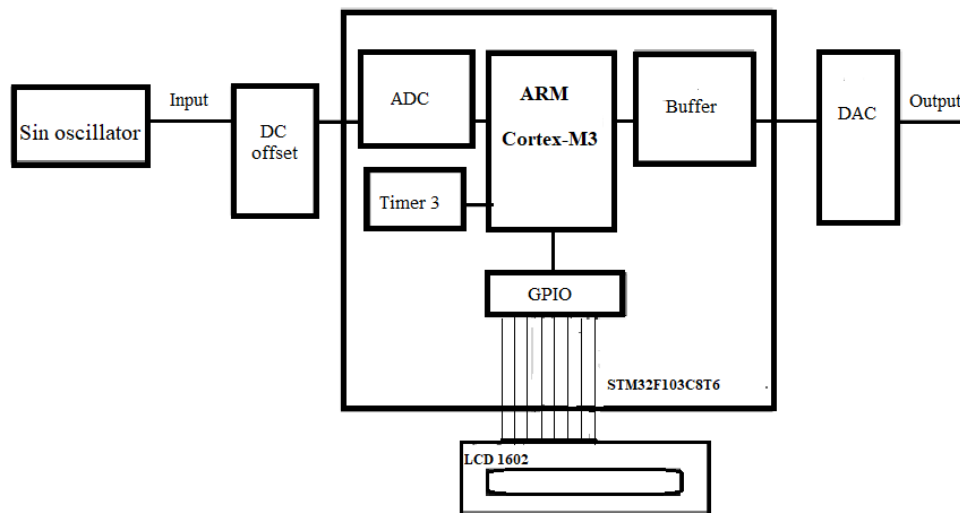


Рис. 1. Структурна схема установки для дослідження КІХ-фільтра на мікроконтролері *STM32F103C8T6*

Перша частина структури – це вхідне коло. Функція його полягає в додаванні постійного зміщення до вхідного сигналу. Це необхідно, оскільки вхідний сигнал є сигналом змінного струму, який складається як із додатних, так і з від'ємних значень напруги. Аналого-цифровий перетворювач мікроконтролера (АЦП) може працювати тільки з додатними значеннями. Сигнал на виході вхідного кола є сигналом змінного струму, який приймає значення від 0 до 3.3 В і готовий до подачі на АЦП мікроконтролера *STM32F103C8T6*.

Друга частина структури – це модуль самого мікроконтролера *STM23F103C8T6*, який обробляє вхідний сигнал в реальному часі. АЦП здійснює дискретизацію вхідного сигналу з роздільною здатністю 10 біт. Таймер *T3* використовується для генерації переривань для вибірки вхідного сигналу з частотою дискретизації 35,15 кГц, а також для вимірювання часу обрахунку математичної операції згортки.

Поточний час калькуляції, зміна якого є предметом дослідження, вимірюється в мікросекундах і виводиться на *LCD* символний дисплей типу 1602 на основі інтерфейсу *HD44780*. Алгоритм вимірювання часу процедури представлений блок-схемою на рисунку 2.



Рис. 2. Блок-схема алгоритму виміру часу калькуляції згортки

Особливість налаштування АЦП самого мікроконтролера *STM32F103C8T6* полягає в тому, щоб вийти на мінімальний час перетворення у процесі фільтрації.

Приклад коду з коментарями, що забезпечує налаштування аналогово-цифрового перетворювача, представлено нижче.

```
#include "stm32f10x.h" // Бібліотека CMSIS для STM32F10...

void ADC1_Init(void) {
    // Увімкнення тактування ADC1 та GPIOA (для каналу 0 - PA0)
    RCC->APB2ENR |= RCC_APB2ENR_ADC1EN | RCC_APB2ENR_IOPAEN;
    // Налаштування PA0 у аналоговий режим (ADC_IN0)
    GPIOA->CRL &= ~(GPIO_CRL_MODE0 | GPIO_CRL_CNFG0);
    // Налаштування тактової частоти АЦП (PCLK2/6 = 12 МГц)
    RCC->CFGR &= ~RCC_CFGR_ADCPRE; // Очистити біти ADCPRE
    RCC->CFGR |= RCC_CFGR_ADCPRE_DIV6; // Встановити дільник на 6, тобто 12 МГц)
    // Налаштування АЦП
    ADC1->CR2 |= ADC_CR2_ADON; // Увімкнути АЦП
    for (volatile int i = 0; i < 10000; i++); // Затримка (необхідна для стабілізації)
    ADC1->SMPR2 &= ~ADC_SMPR2_SMP0; // Очистити біти часу вибірки
    ADC1->SMPR2 |= ADC_SMPR2_SMP0_0; // Встановити мінімальний час вибірки: 1.5 такт
    ADC1->SQR1 &= ~ADC_SQR1_L; // Один канал у послідовності (L = 0)
    ADC1->SQR3 &= ~ADC_SQR3_SQ1;
    ADC1->SQR3 |= 0; // Канал 0 (ADC_IN0)
    // Калібрування АЦП
    ADC1->CR2 |= ADC_CR2_CAL;
    while (ADC1->CR2 & ADC_CR2_CAL); // Очікування завершення калібрування
}

uint16_t ADC1_Read(void) { // Функція для запуску АЦП і отримання результату
    ADC1->CR2 |= ADC_CR2_ADON; // Запуск перетворення
    while (!(ADC1->SR & ADC_SR_EOC)); // Очікування завершення
    return ADC1->DR; // Читання результату
}
```

Було створено відповідний код, що реалізує функцію фільтрації для представленої схеми.

Цифровий КІХ-фільтр являє собою певну дискретну систему, в якій вираз (1) визначає співвідношення між вхідною x_n та вихідною y_n послідовностями:

$$y_n = \sum_{k=0}^N h_k * x_{n-k}, \quad (1)$$

де постійні коефіцієнти h_k – це відліки імпульсної характеристики фільтра. Вхідне вікно фільтра, тобто кількість відліків вхідного сигналу, що обробляються для отримання одного відліку вихідного сигналу, складає $N + 1$. Число N визначає порядок фільтра.

Системна (передатна) функція КІХ-фільтра має наступний вид:

$$H(z) = \sum_{i=0}^N h_i * z^{-i},$$

де $z = e^{j\omega}$.

Щодо комплексної частотної характеристики фільтра, то вона може бути представлена поліномом наступного вигляду:

$$H(e^{j\omega}) = \sum_{k=0}^N h_k e^{j\omega k} = |H(e^{j\omega})| e^{j\varphi(\omega)}, \quad (2)$$

де $|H(e^{j\omega})|$ – амплітудно-частотна характеристика (АЧХ);

$\varphi(\omega)$ – фазо-частотна характеристика (ФЧХ) фільтра.

Для розрахунку коефіцієнтів КІХ-фільтра з частотою зрізу 800 Гц було використано відповідний додаток із пакету *Matlab*.

Так, наприклад, для ФНЧ 7-го порядку коефіцієнти імпульсної характеристики будуть наступними:

0.02; 0.0647; 0.1664; 0.2489; 0.2489; 0.1664; 0.0647; 0.02.

За допомогою програмного пакету *Mathcad* була розрахована його АЧХ, вигляд якої представлено на рисунку 3.

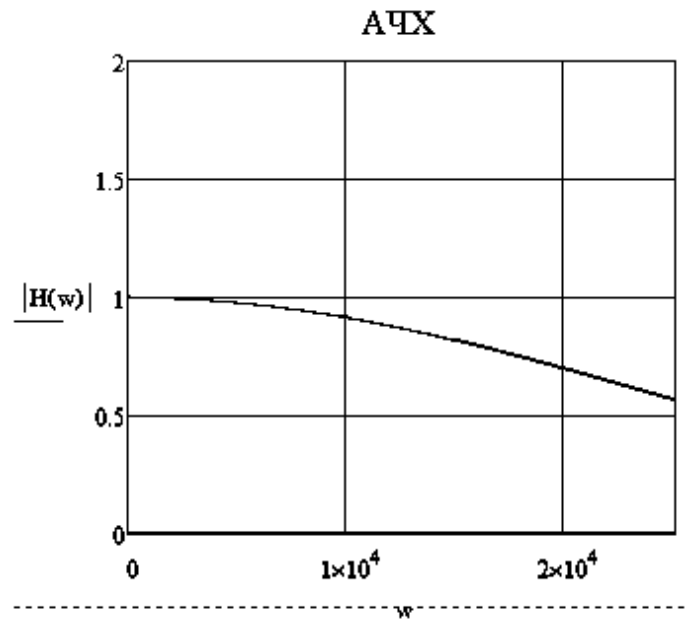


Рис. 3. АЧХ КІХ-фільтра 7-го порядку

Для ФНЧ 19-го порядку коефіцієнти КІХ-фільтра складають наступний масив:

0.4620514531395525; 1.5242017614706227; 3.793161197453402; -7.016345527025121;
11.042184667369394; -14.442346816573414; 16.30850577885218; -15.069991485222175;
10.861863005754623; -3.853269786474018; -3.853269786474018; 10.861863005754623;
-15.069991485222175; 16.30850577885218; -14.442346816573414; 11.042184667369394;
-7.016345527025121; 3.793161197453402; -1.5242017614706227; 0.4620514531395525.

АЧХ такого фільтра представлена на рисунку 4.

Аналіз отриманих характеристик підтверджує, що вони відповідають характеристикам ФНЧ з частотою зрізу 800 Гц. Очевидно, що збільшення порядку фільтра призводить до звуження смуги переходу від смуги пропускання до смуги затримування. Також змінюються величини відхилень АЧХ від ідеальної у смугах пропускання та затримування. Тому порядок фільтра слід обирати з вимог до граничної частоти смуги затримування та припустимих нерівномірностей АЧХ.

З практичного досвіду відомо – для ґрунтового обмеження небажаних частот спектра потрібно використовувати масив 60...100 відліків імпульсної характеристики фільтра, тобто використовувати ЦФ такого порядку.

Як відомо, час для формування кожного вихідного відліку y_n складається з двох складових:

- часу перетворення T_{ADC} ;
- часу калькуляції згортки T_C .

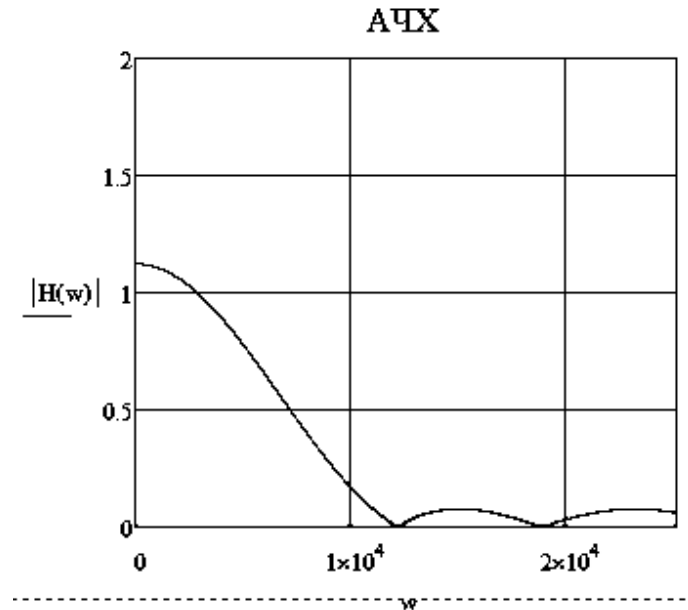


Рис. 4. АЧХ КІХ-фільтра 19-го порядку

Якщо час перетворення однозначно визначається режимом налаштування АЦП мікроконтролера, то час калькуляції згортки залежить від алгоритму, типу змінних, порядку фільтра, деяких особливостей написання програми, від рівня оптимізації компілятора робочої *IDE* [4].

Частину програмного забезпечення було присвячено вимірюванню часу, який витрачався на обчислення згортки і формування поточного вихідного відліку y_n .

Дані вимірювання часу виводились на дисплей у режимі реального часу.

Код налаштування таймера ТЗ має наступний вигляд:

```
void TIM3_Config(void) {
    RCC_APB1PeriphClockCmd(RCC_APB1Periph_TIM3, ENABLE);
    TIM_TimeBaseInitTypeDef TIM_TimeBaseStructure;
    TIM_TimeBaseStructure.TIM_Period = 0xFFFF; // Максимальне значення лічильника
    TIM_TimeBaseStructure.TIM_Prescaler = 71; // Переддільник для частоти 1 МГц
    TIM_TimeBaseStructure.TIM_ClockDivision = 0;
    TIM_TimeBaseStructure.TIM_CounterMode = TIM_CounterMode_Up;
    TIM_TimeBaseInit(TIM3, &TIM_TimeBaseStructure); /
    TIM_Cmd(TIM3, ENABLE); }
```

Точність вимірювань часу калькуляції визначається тривалістю тактового імпульсу, які використовує таймер/лічильник ТЗ і дорівнює приблизно 14 нс.

Алгоритм обчислення згортки було обрано найпростіший і реалізовано мовою програмування C++. Рівень оптимізації компілятора GCC обраний мінімальним.

Результати вимірювань часу калькуляції згортки мікроконтролером *STM32F10C8T6* залежно від порядку N цифрового КІХ-фільтра наведено в таблиці 1.

Таблиця 1

Кількість коефіцієнтів ІХ ($N + 1$)	6	10	20	50	100	200
Час калькуляції, мкс	29	46	89	210	439	822

Графічно побудована діаграма залежності зростання часу калькуляції від кількості коефіцієнтів КІХ цифрового фільтра НЧ на мікроконтролері представлена на рисунку 5.

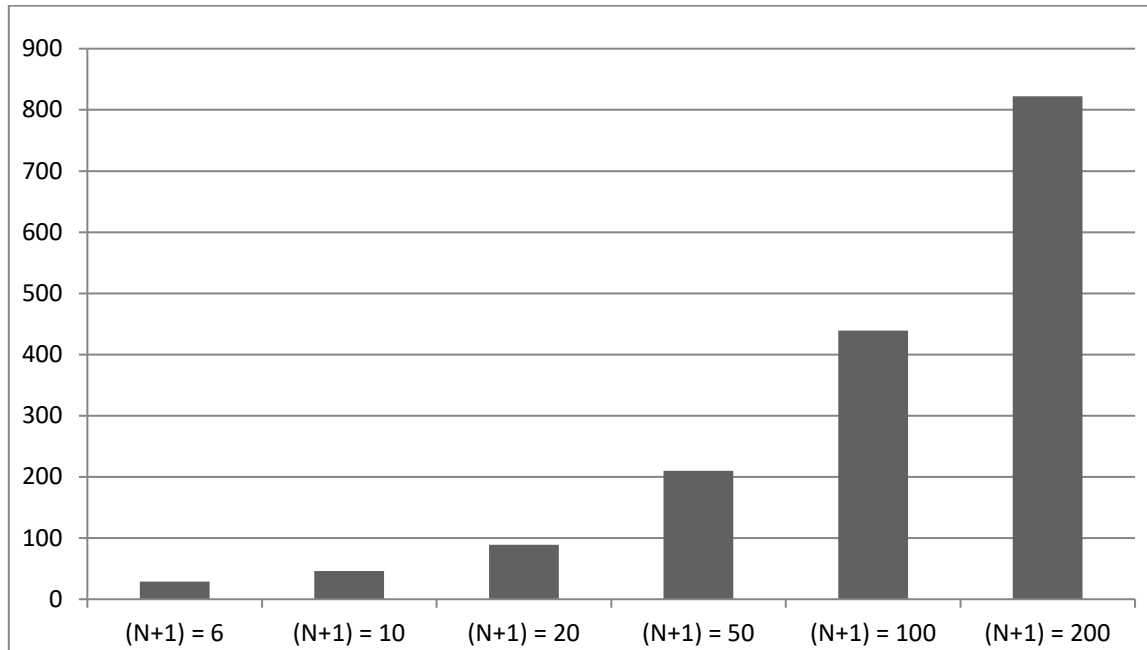


Рис. 5. Діаграма залежності часу калькуляції від кількості коефіцієнтів

1. Отримані результати вимірів часу калькуляції свідчать про вельми суттєвий час, який витрачається для формування кожного поточного відліку вихідного сигналу y_n . Зростання цього необхідного часу на пряму пов'язано зі зростанням порядку фільтра. Так, для фільтра 5-го порядку час калькуляції складає 29 мкс, а для фільтра 199-го порядку – 822 мкс.

2. Якщо взяти до уваги час перетворення АЦП мікроконтролера, який розраховується за формулою

$$T_{conv} = (12.5 + 1.5) \times 112 \text{ МГц} \approx 1.17 \text{ мкс},$$

тобто триває приблизно 2 мкс, то є можливість оцінити, безпосередньо для якого саме діапазону частот може бути створений цифровий фільтр обраного порядку на мікроконтролері *STM32F10C8T6*.

3. Порядок фільтра впливає на крутизну АЧХ фільтра і звужує ширину перехідної області частот між смугою пропускання і смугою затримування, що покращує його вибірковість. З іншого боку, високий порядок потребує підвищеного часу обчислення кожного наступного значення на виході фільтра. Даний факт свідчить про необхідність пошуку оптимального вибору як алгоритму реалізації ЦФ, так і безпосередньо мікроконтролера з потрібними характеристиками.

Висновки. Таким чином, можна стверджувати, що отримані значення показників часу калькуляції можуть бути використані для оцінки можливого періоду (частоти) дискретизації сигналу. Відповідно можна визначити максимальний частотний діапазон сигналу, який може бути оброблений у режимі реального часу цифровим фільтром обраного порядку.

Майбутні напрямки досліджень передбачають пошук нових схемних рішень під час проектування цифрових фільтрів, а також удосконалення алгоритмів обрахунку операції згортки. При цьому мають враховуватись можливості сучасних мікроконтролерів.

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Рудик А. В. Синтез та моделювання цифрових фільтрів програмними засобами MATLAB // Інформаційно-вимірювальні та обчислювальні системи і комплекси в технологічних процесах. Вимірювальна та обчислювальна техніка в технологічних процесах. 2017. № 3. С. 87–93.
2. Smith J. Future Directions in Realizing Numerical Filters on STM32F103 Microcontrollers // Journal of Embedded Systems. 2023. No. 10 (2). P. 123–135.
3. Lyons R. G. “Understanding Digital Signal Processing”, 2nd Edition, published by Person Education, Inc., publishing as Prentice Hall Professional Reference Upper Saddle River, New Jersey, 2004. 665 p.
4. Vorgul O., Zubkov O., Syvd I. Features of the Digital Filters Implementation on STM32 Microcontrollers. URL: <https://mcfpga.nure.ua/en/conf-en/2021-mc-fpga/10-35598-mcfpga-2021-001>.
5. Antonio Maciá-Lillo, Sergio Barrachina, Germán Fabregat, Manuel F. Dolz. Optimising Convolutions for Deep Learning Inference on ARM Cortex-M Processors // IEEE INTERNET OF THINGS JOURNAL. 2024. Vol. 11, No. 15. P. 26203–26219.
6. Ioan Ungurean. Timing Comparison of the Real-Time Operating Systems for Small Microcontrollers. Faculty of Electrical Engineering and Computer Science; Stefan cel Mare University of Suceava // Symmetry. 2020. No. 12(4). 592 p.
7. Abhishek Kumar, Suneel Yadav, Neetesh Purohit. FIR Filter Realization Under the Trade-Off Between Implementation Complexity and Computation Rate. Conference Paper. October 2019. P. 1–7.
8. Moore J. H. The DSP Handbook: Algorithms, Applications, and Design Techniques. CRC Press. 2008.
9. Welch T. B., Wright C. H. G., Morrow M. G. Embedded Signal Processing with the Micro Signal Architecture. Wiley. 2012.
10. Farag S., Khalil M. Design and Implementation of Digital Filters on FPGA // International Journal of Advanced Computer Science and Applications. 2017.